

Offset compensation arrangement for mixer

Patent number: DE19743272
Publication date: 1999-02-18
Inventor: ARZT ANDREAS (DE); SEHRIG PETER (DE)
SIEMENS AG (DE)
Classification:
- international: H03F1/30; H03D7/00; H04L25/06
- european: H03D7/14; H03D3/00A1; H03F3/45S3
Application number: DE19971043272 19970930
Priority number(s): DE19971043272 19970930

Also published as:

EP0905880 (A1)
 EP0905880 (B1)

Abstract of DE19743272

The arrangement includes a first integrated circuit (IC1) which comprises the mixer (M) and a control unit (SE), connected with the mixer, for producing an offset compensation value. A bus (3L) is provided, and a second integrated circuit (IC2) comprises a device for detection (E) of the offset of the mixer. The second integrated circuit outputs the detected offset onto the bus, in which the offset is supplied over the bus to the control unit. The control unit includes preferably one or more adjustable current sources, which include several switched constant current sources connected in parallel.





⑯ BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑯ **Patentschrift**
⑯ **DE 197 43 272 C 1**

⑯ Int. Cl.⁶:
H 03 F 1/30
H 03 D 7/00
H 04 L 25/06

⑯ Aktenzeichen: 197 43 272.7-31
⑯ Anmelddetag: 30. 9. 97
⑯ Offenlegungstag: -
⑯ Veröffentlichungstag
der Patenterteilung: 18. 2. 99

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

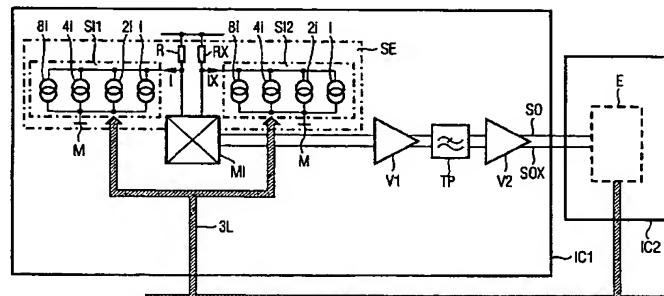
⑯ Patentinhaber:
Siemens AG, 80333 München, DE

⑯ Erfinder:
Sehrig, Peter, 82343 Pöcking, DE; Arzt, Andreas,
82024 Taufkirchen, DE

⑯ Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
US 54 71 665
EP 06 93 823 A1

⑯ Anordnung und Verfahren zur Kompensation des Offsets eines Mischers

⑯ Zur Minimierung des Platzbedarfs weist die erfindungsgemäße Anordnung einen ersten integrierten Schaltkreis (IC1) auf, der den Mischer (MI) und eine Stelleinheit (SE) zur Erzeugung eines Offsetkompensationswerts aufweist, welche mit dem Mischer (MI) verbunden ist. Weiter ist ein Bus (3L) und ein zweiter integrierter Schaltkreis (IC2) vorgesehen, der ein Mittel zur Erfassung (E) des Offsets des Mischers (MI) aufweist und den erfaßten Offset auf den Bus (3L) ausgibt. Der Offset wird über den Bus (3L) der Stelleinheit (SE) zugeführt.



Beschreibung

Die Erfindung betrifft eine Anordnung und ein Verfahren zur Kompensation des Offsets eines Mischers und der nachfolgenden Schaltungen für Mobilfunkanwendungen.

Bei einem für den Mobilfunk verwendeten Empfängerbaustein wird ein an der Antenne anliegendes Empfangssignal, im folgenden auch als Nutzsignal bezeichnet, erst in ein Signal mit einer Zwischenfrequenz und anschließend mittels eines Demodulators in das Basisband umgesetzt. In dem beschriebenen Empfangspfad können nun fertigungsbedingt Offsetspannungen auftreten. Diese werden durch die im Empfangspfad enthaltenen Verstärker ebenso wie das Nutzsignal verstärkt. Liegt am Eingang eines 30 dB-Verstärkers z. B. eine Offsetspannung von 10 mV an, so ergibt das eine Offsetspannung von ca. 320 mV am Ausgang des 30 dB-Verstärkers. Dies führt zur Begrenzung des Nutzsignals, da durch die Offsetspannung der Aussteuerbereich des Verstärkers und aller nachfolgenden Verstärker verringert wird.

In allen hochfrequenten Schaltungsteilen, wobei hier sowohl der Hochfrequenz- als auch der Zwischenfrequenzpfad gemeint ist, kann die Offsetspannung an geeigneten Stellen durch kapazitive Kopplung eliminiert werden. Anders ist dies im Basisband, weil hier die Grenzfrequenz bei ca. 100 kHz liegt. Eine kapazitive Kopplung ist hier nicht mehr möglich, da sehr große Kapazitäten verwendet werden müßten. Große Kapazitäten benötigen jedoch beim Einschalten des integrierten Schaltkreises sehr lange Aufladezeiten und beanspruchen z. T. erhebliche Einbaufläche auf der Leiterplatte. Eine Integration der Kapazitäten auf den integrierten Schaltkreis ist bisher nicht möglich.

Bisher wurde eine Offsetkompensation im Basisband mit Hilfe einer Sample & Hold Schaltung realisiert, wie sie beispielsweise aus der EP 0 693 823 A1 bekannt geworden ist. Die entsprechende Anordnung ist in Fig. 1 gezeigt. Der Empfängerbaustein, mit Schaltkreis IC1 bezeichnet, weist einen im Empfangspfad befindlichen Mischer MI auf, der das Signal mit der Zwischenfrequenz fZP in das Basisband umsetzt. Das differentielle Basisbandsignal wird mittels des ersten Verstärkers V1 verstärkt und einem zweiten Verstärker V2, sowie einem Tiefpaß TP zugeführt. Die Ausgänge des Tiefpasses TP führen auf zwei Anschlußklemmen des ersten integrierten Schaltkreises IC1. Diese sind gemäß Fig. 1 mit einem zweiten integrierten Schaltkreis IC2 verbunden, welcher ein Basisbandcodec ist. Zusätzlich ist der Tiefpaß TP mit dem auf dem ersten integrierten Schaltkreis IC1 befindlichen ersten Differenzverstärker DIF1 verbunden. Mittels des ersten Differenzverstärkers DIF1 wird die am Basisbandausgang des ersten integrierten Schaltkreises IC1 vorliegende Offsetspannung ΔV erfaßt.

Der ermittelte Offset ΔV wird durch einen externen Kondensator C gespeichert. Der Kondensator C wird abhängig von der Schalterstellung des Schalters S, welcher durch ein am Eingang OCE anliegendes Signal gesteuert wird, periodisch geladen. Der im Kondensator C gespeicherte Offset wird mittels eines zweiten Differenzverstärkers DIF2 mit einer Referenzspannung Vref verglichen. Das Differenzsignal zwischen gespeicherten Offset Vc und Referenzspannung Vref dient zur Steuerung der Stromquellen I1 und I2. Diese sind mit Stromquellen I3 und I4 gekoppelt, die einen entsprechenden Offsetkompensationsstrom I beziehungsweise IX erzeugen, um den Offset des Mischers MI zu kompensieren.

Der Differenzverstärker DIF1 lädt oder entlädt, je nach Polarität des vom Mischer MI erzeugten Offsets den externen Kondensator C. Die von den Stromquellen I3 und I4 erzeugten Offsetkompensationsströme I und IX wirken dem

vom Mischer MI erzeugten Offset entgegen. Da sich der Kondensator C, bedingt durch Leckströme, wieder entlädt, muß der Ladevorgang bei jedem Empfangszeitschlitz, d. h. bei GSM alle 500 μ s wiederholt werden. Diese Realisierung benötigt je einen Ladekondensator für den Inphase und den Quadraturkanal. Zusätzlich ist ein Eingang zur Aktivierung der Sample & Hold Schaltung notwendig. Das bedeutet, daß zwei externe Bauteile (Kondensatoren) sowie drei Pins am ersten integrierten Schaltkreis IC1 notwendig sind.

Eine Aufgabe der Erfindung ist es, eine Anordnung und ein Verfahren zur Kompensation des Offsets eines Mischers anzugeben, bei der auf externe Bauelemente verzichtet werden kann. Weiterhin soll die Anzahl der notwendigen Anschlüsse (Pins) gering wie möglich gehalten werden.

Die Aufgabe wird durch eine Anordnung gemäß Patentanspruch 1 und durch ein Verfahren gemäß Patentanspruch 8 gelöst.

Die erfindungsgemäße Anordnung zur Kompensation des Offsets eines Mischers weist einen ersten integrierten Schaltkreis auf, der den Mischer und eine Stelleinheit zur Erzeugung eines Offsetkompensationssignals aufweist, welche mit dem Mischer verbunden ist. Weiterhin ist ein Bus und ein zweiter integrierter Schaltkreis vorgesehen, der ein Mittel zur Erfassung des Offsets des Mischers aufweist und den erfaßten Offset auf den Bus ausgibt. Der Offset wird über den Bus der Stelleinheit zugeführt.

Vorteilhafte Weiterbildungen ergeben sich aus den abhängigen Ansprüchen.

So kann die Stelleinheit beispielsweise eine oder mehrere einstellbare Stromquellen aufweisen.

Die einstellbare Stromquelle wiederum kann mehrere zuschaltbare parallel zueinander geschaltete Konstantstromquellen aufweisen.

Anstelle der einstellbaren Stromquellen kann die Stelleinheit auch mehrere in Reihe geschaltete Widerstände und mehrere zuschaltbare Stromquellen aufweisen, die mit den Widerständen derart verbunden sind, daß verschiedene Spannungen einstellbar sind.

Die Anordnung kann einen Speicher aufweisen, in den der Offsetkompensationswert geschrieben wird.

Der Speicher kann ein nicht flüchtiges Element sein, beispielsweise in Form eines ROMs.

Vorteilhafter Weise ist der Bus ein 3-Leiter-Bus.

Bei dem Verfahren zur Kompensation des Offsets eines Mischers wird der Mischer, welcher Bestandteil eines ersten integrierten Schaltkreises ist, ohne Eingangssignal betrieben und der Offset des Ausgangssignals des Mischers mit einem Mittel zur Erfassung des Offsets des Mischers, welches Bestandteil eines zweiten integrierten Schaltkreises ist, erfaßt.

Der erfaßte Offset wird über einen Bus an eine Stelleinheit, welche Bestandteil des ersten integrierten Schaltkreises ist, übermittelt. Die Stelleinheit (SE) führt einen entsprechenden Offsetkompensationswert dem Mischer (MI) zu.

Weiterhin kann bei dem Verfahren der erfaßte Offset in einen nichtflüchtigen Speicher geschrieben werden. Der im Speicher stehende Offset wird bei einer Inbetriebnahme des ersten integrierten Schaltkreises ausgelesen und über den Bus der Stelleinheit zur Verfügung gestellt.

Die Erfindung wird anhand von drei Figuren weiter erläutert.

Fig. 1 zeigt die Kompensation des Offsets gemäß dem Stand der Technik.

Fig. 2 zeigt eine erste erfindungsgemäße Ausführungsform der Anordnung zur Kompensation des Offsets eines Mischers.

Fig. 3 zeigt eine zweite erfindungsgemäße Ausführungsform der Anordnung zur Kompensation des Offsets eines Mischers.

Auf die Kompensationsanordnung gemäß Fig. 1 wurde bereits in der Beschreibungseinleitung eingegangen.

In Fig. 2 ist dem ersten integrierten Schaltkreis IC1, welcher ein Empfängerbaustein ist, ebenso wie in Fig. 1 ein zweiter integrierter Schaltkreis IC2 nachgeschaltet. Der zweite integrierte Schaltkreis IC2 ist ein Basisbandcodec. Er dient zur Bearbeitung der Basisbandsignale. Entgegen der in Fig. 1 gezeigten Realisierung erfolgt die Messung des vom Mischerausgang gemessenen Offsets mittels der Erfassungseinheit (E) im zweiten integrierten Schaltkreis IC2, dem Basisbandbaustein. Dabei wird bei nicht angelegtem Nutzsignal, d. h. der Mischerausgang erhält kein Eingangssignal, die Offsetspannung, die am Ausgang des ersten integrierten Schaltkreises anliegt, gemessen und je nach Größe der Offsetspannung werden über einen 3-Leiter-Bus entsprechende Stromquellen aktiviert. Der 3-Leiter-Bus 3L ist im gesamten System verfügbar und verbindet unter anderem den ersten integrierten Schaltkreis IC1 mit dem zweiten integrierten Schaltkreis IC2.

Durch eine derartige Anordnung besteht die Möglichkeit auch neben der Offsetkompensation weitere Meß-, Steuer- und Regelvorgänge über den 3-Leiter-Bus 3L zu koordinieren.

Die in Fig. 2 gezeigten steuerbaren Stromquellen SI1 und SI2 beinhalten jeweils vier Konstantstromquellen, die die Ströme i , $2i$, $4i$ und $8i$ erzeugen. Abhängig von den Steuersignalen, das über den 3-Leiter-Bus 3L an die steuerbaren Stromquellen SI1 und SI2 übertragen werden, werden entsprechende Ströme, die zwischen i und $15i$ liegen können eingeschaltet.

Die beiden Stromquellen SI1 und SI2 sind Bestandteil einer Stelleinheit SE. Diese dient zur Einstellung des Offsetkompensationsstroms.

Die steuerbaren Stromquellen SI1 und SI2 sind einerseits mit einem Bezugspotential M und andererseits sowohl mit dem Mischerausgang als auch einem Widerstand R bzw. RX verbunden. Die Widerstände R und RX sind die Arbeitswiderstände des Mischers MI.

Dabei bestimmt sich die kompensierbare Offsetspannung durch die von den einstellbaren Stromquellen SI1 und SI2 eingestellten Ströme I bzw. IX und durch die Arbeitswiderstände R bzw. RX. Das Produkt aus $i \times R$ und das Produkt aus $i \times RX$ bestimmen die minimal kompensierbare Offsetspannung. Der maximal einprägbare Strom, der durch die erste einstellbare Stromquelle SI1 erzeugbar ist, beträgt $15 \times i$. Das gleiche gilt für den maximal einstellbaren Strom der zweiten einstellbaren Stromquelle SI2. Daraus ergibt sich die maximal kompensierbare Offsetspannung zu $15 \times i \times R$ bzw. $15 \times i \times RX$.

Das Mischerausgangssignal wird mittels des ersten Verstärkers verstärkt, durch den Tiefpaßfilter TP gefiltert und anschließend durch den zweiten Verstärker V2 erneut verstärkt. Das Ausgangssignal des zweiten Verstärkers V2 ist an den Ausgängen SO und SOX des ersten integrierten Schaltkreises IC1 abgreifbar.

Vorteilhafterweise fallen bei dieser Ausführungsform gegenüber der in Fig. 1 gezeigten Anordnung die Kapazitäten und die zusätzlich notwendigen Anschlüsse CSH und OCE weg.

Zusätzlich können durch den 3-Leiter-Bus 3L weitere Meß-, Steuer- und Regelvorgänge koordiniert werden.

Bei der in Fig. 3 gezeigten Ausführungsform sind die erste Stromquelle SI1 und die zweite Stromquelle SI2 durch ein Widerstands-Stromquellennetzwerk ersetzt worden. Das Widerstands-Stromquellennetzwerk dient als Stelleinheit SE. Dazu sind fünf Widerstände R1 bis R5 in Reihe geschaltet. Der freie Anschluß des Widerstands R1 ist mit einem Versorgungspotential VCC verbunden. Der freie Anschluß

des Widerstands R5 ist sowohl mit dem Mischerausgang mox als auch dem Kollektor eines Transistors T1 und dem Kollektor eines Transistors T3, welche Bestandteile des Mischers MI sind, verbunden. Weiterhin sind die Widerstände

5 R1 bis R5 über jeweils eine Stromquelle, die einen Konstantstrom i liefert und über jeweils einen Schalter, der mit der entsprechenden Stromquelle in Reihe geschaltet ist, mit dem Bezugspotential M verbunden. Die Stromquellen, die jeweils den Strom i liefern, sind mit einer Stromquelle, die 10 einen Referenzstrom $iref1$ einprägt, gekoppelt. Der Pfad für das invertierte Signal ist symmetrisch zu dem gerade beschriebenen Pfad für das Inphasesignal aufgebaut. Die Widerstände im Pfad für das invertierte Signal sind mit R1' bis R5' bezeichnet. Die Referenzstromquelle liefert den Referenzstrom $iref2$, welcher gleich dem ersten Referenzstrom $iref1$ sein kann. Der Widerstand R5' ist mit dem Ausgang mo des Mischers MI, dem Kollektor eines zweiten Transistors T2 und dem Kollektor eines vierten Transistors T4 verbunden, welche ebenfalls Bestandteil des Mischers MI sind. 15 Fig. 3 sind die beiden Transistoren T1 und T2 sowie die beiden Transistoren T3 und T4 emittergekoppelt und jeweils mit dem Kollektor eines fünften bzw. eines sechsten Transistors T5 bzw. T6 verbunden. Der Basisanschluß des fünften Transistors T5 ist mit dem Eingang inif, der Basisanschluß des sechsten Transistors T6 mit dem Eingang inifx, der Basisanschluß des ersten Transistors T1 mit dem Eingang loinx sowie dem Basisanschluß des vierten Transistors T4 und der Basisanschluß des dritten Transistors T3 ist mit dem Eingang loinx und dem Basisanschluß des zweiten Transistors 20 T2 verbunden. Weiterhin sind die Kollektoren der Transistoren T1 und T3 sowie die Kollektoren der Transistoren T2 und T4 miteinander verbunden. Zwischen den Emettoren der Transistoren T5 und T6 ist ein Widerstand RE geschaltet. Der Basisanschluß des Transistors T5 ist mit dem Eingang inif und der Basisanschluß des Transistors T6 ist mit dem Eingang inifx verbunden. Der Buchstabe "x" kennzeichnet den invertierten Anschluß.

25 Der die Transistoren T1 bis T6 und den Widerstand RE umfassende Mischerausgang ist gemäß Fig. 3 lediglich ein mögliches Ausführungsbeispiel eines Mischers. Es können auch andere Mischerschaltungen anstelle der gerade beschriebenen verwendet werden.

30 Über den 3-Leiter-Bus 3L werden die Schalter S angesteuert, und dadurch die gewünschte Stromstärke bzw. die gewünschte Spannung zur Offsetkompensation eingestellt.

35 Die Widerstände R1 bis R5 und R1' bis R5' können wie folgt aufgeteilt sein:

$$\begin{aligned} R1 &= R2 = R \\ 40 R3 &= 2R \\ R4 &= 4R \\ R5 &= 8R. \end{aligned}$$

45 Das gleiche gilt für die Widerstände R1' bis R5'. Die Dimensionierung und die Widerstandsverhältnisse zwischen R1 und R2 bis R5 sind je nach Anwendungsfall auf die jeweiligen Gegebenheiten anzupassen.

50 Die Ausführungsform gemäß Fig. 3 hat den zusätzlichen Vorteil, daß das Widerstands-Stromquellennetzwerk noch einfacher herzustellen ist, als die Stelleinheit (SE) der Anordnung gemäß Fig. 2.

55 Die Arbeitswiderstände des Mischers MI sind in Fig. 3 in mehrere, in Serie geschaltete Einzelwiderstände R1 bis R5 bzw. R1' bis R5' aufgeteilt.

60 Wie bei der in Fig. 2 gezeigten Ausführungsform muß bei der in Fig. 3 gezeigten Ausführungsform die Kompensation der Offsetspannung nur ein einziges Mal und zwar bei der ersten Inbetriebnahme durchgeführt werden. Hierbei wird

bei nicht angelegten Nutzsignalen die Offsetspannung im nachgeschalteten Basisbandbaustein IC2 gemessen und je nach der Größe der Offsetspannung werden über den 3-Leiter-Bus 3L die entsprechenden Stromquellen über die Schalter S aktiviert.

Vorteilhafterweise wird der Offsetkorrekturwert in einem ROM des Basisbandbausteins IC2 abgelegt. Bei jeder neuen Inbetriebnahme des Geräts wird beim Laden des 3-Leiter-Busses 3L die Offsetkompensation automatisch durchgeführt. Dazu ist nurmehr der Wert aus dem ROM auszulesen und die entsprechenden Stromquellen sind zu aktivieren.

Die Erfassung des Offset des Mischers MI kann durch den im Basisbandbaustein IC2 bereits vorhandenen Analog-Digital-Wandler erfolgen. Dies hat den Vorteil, daß keine zusätzlichen Schaltungselemente für die Erfassung des Offset des Mischers benötigt werden.

Weiterhin werden durch die in den Fig. 2 und 3 gezeigten Ausführungsformen externe Bauteile und Anschlüsse an dem integrierten Baustein IC1 vermieden.

mittelt wird,

– bei dem die Stelleinheit (SE) einen entsprechenden Offsetkompensationswert dem Mischer (MI) zuführt.

9. Verfahren nach Anspruch 8,

– bei dem der erfaßte Offset in einen nichtflüchtigen Speicher geschrieben wird,
– bei dem der im Speicher stehende Offset bei einer Inbetriebnahme des ersten integrierten Schaltkreises (IC1) ausgelesen wird und über den Bus (3L) der Stelleinheit (SE) zur Verfügung gestellt wird.

Hierzu 3 Seite(n) Zeichnungen

Patentansprüche

1. Anordnung zur Kompensation des Offset eines Mischers,

- bei der ein erster integrierter Schaltkreis (IC1) 25 vorgesehen ist, der den Mischer (MI) und eine Stelleinheit (SE) zur Erzeugung eines Offsetkompensationswerts aufweist, welche mit Mischer (MI) verbunden ist,
- bei der ein Bus (3L) vorgesehen ist, 30
- bei der ein zweiter integrierter Schaltkreis (IC2) vorgesehen ist, der ein Mittel zur Erfassung (E) des Offset des Mischers (MI) aufweist und den erfaßten Offset auf den Bus (3L) ausgibt,
- bei der der Offset über den Bus (3L) der Stell- 35 einheit (SE) zugeführt wird.

2. Anordnung nach Anspruch 1, bei der die Stelleinheit (SE) eine oder mehrere einstellbare Stromquellen (SI1, SI2) aufweist.

3. Anordnung nach Anspruch 2, bei der die einstellbare Stromquelle (SI1, SI2) mehrere zuschaltbare parallel zueinander geschaltete Konstantstromquellen (i, 2i, 4i, 8i) aufweist.

4. Anordnung nach Anspruch 1, bei der die Stelleinheit (SE) mehrere in Reihe geschaltete Widerstände (R1-R5) und mehrere zuschaltbare Stromquellen (i) aufweist, die mit den Widerständen (R1-R5) derart verbunden sind, daß verschiedene Spannungen einstellbar sind.

5. Anordnung nach einem der Ansprüche 1 bis 4, bei 50 der ein Speicher vorgesehen ist, in den der Offsetkompensationswert geschrieben wird.

6. Anordnung nach Anspruch 5, bei der der Speicher ein nichtflüchtiges Element ist.

7. Anordnung nach einem der Ansprüche 1 bis 6, bei 55 der der Bus (3L) ein 3-Leiter-Bus ist.

8. Verfahren zur Kompensation des Offset eines Mischers,

- bei dem der Mischer (MI), welcher Bestandteil eines ersten integrierten Schaltkreises (IC1) ist, 60 ohne Eingangssignal betrieben wird und der Offset des Ausgangssignals des Mischers (MI) mit einem Mittel zur Erfassung (E) des Offset des Mischers (MI), welches Bestandteil eines zweiten integrierten Schaltkreises (IC2) ist, erfaßt wird,
- bei dem der erfaßte Offset über einen Bus (3L) an eine Stelleinheit (SE), welche Bestandteil des ersten integrierten Schaltkreises (IC1) ist, über-

- Leerseite -

FIG 1

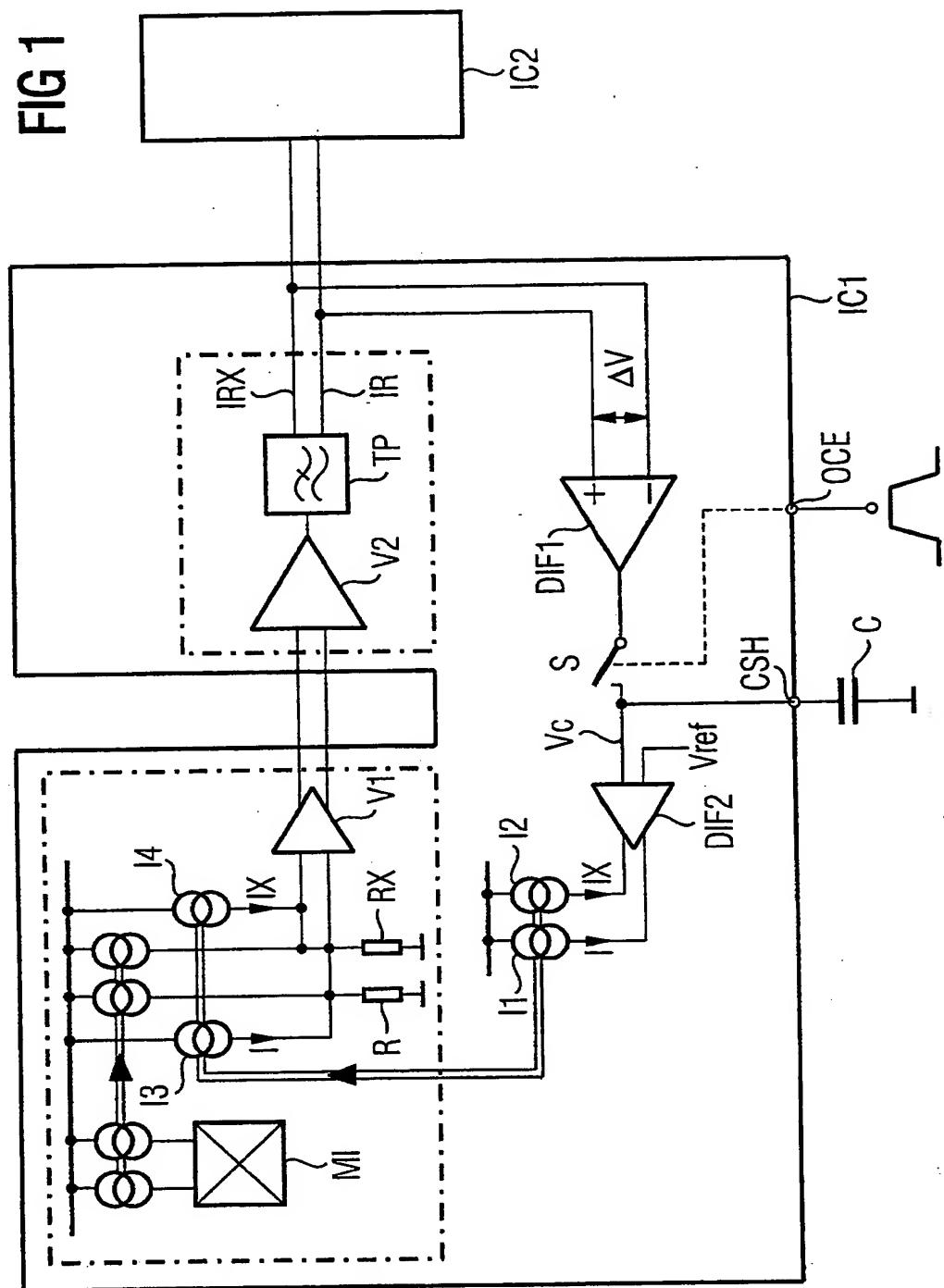
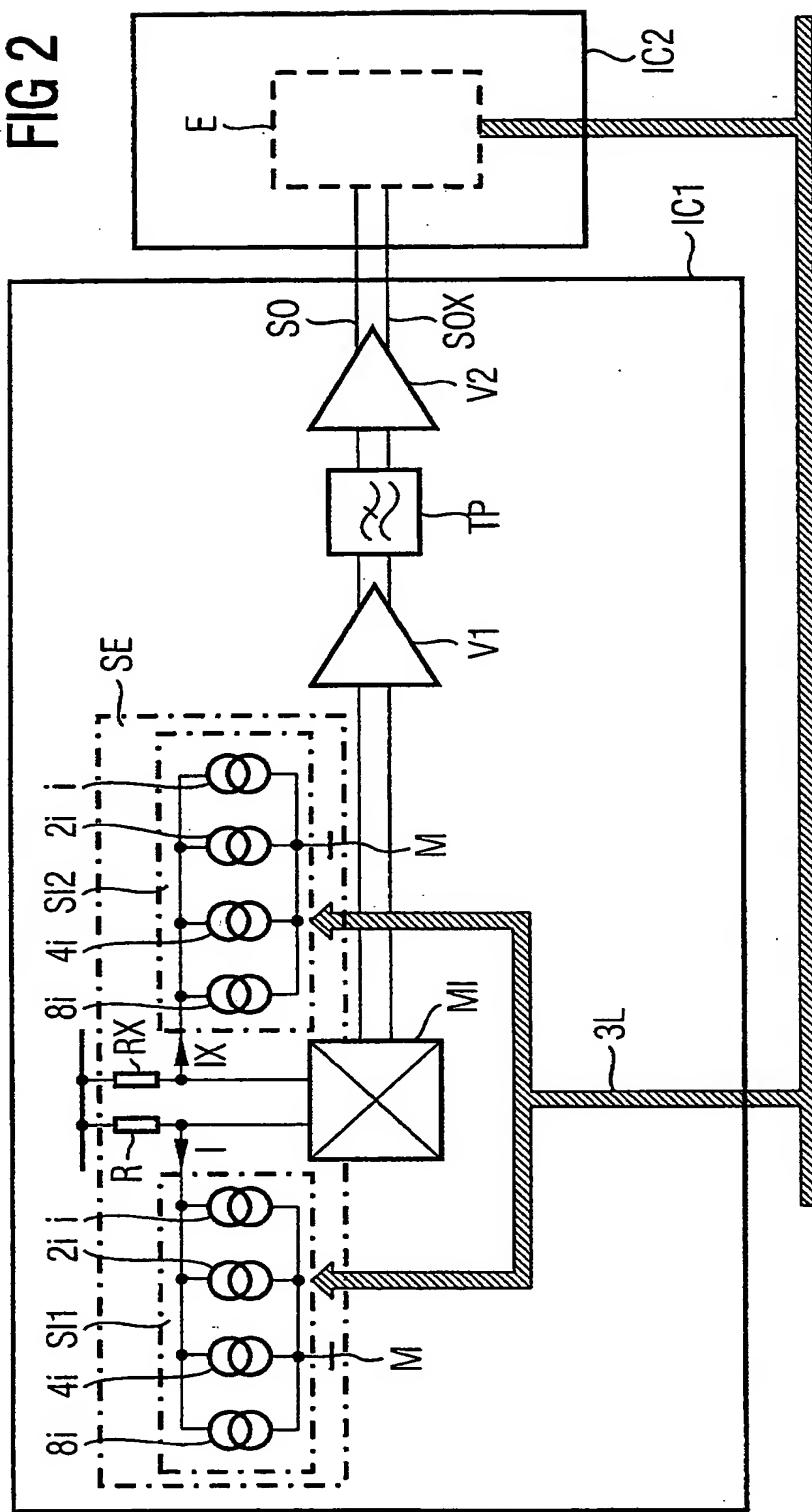


FIG 2





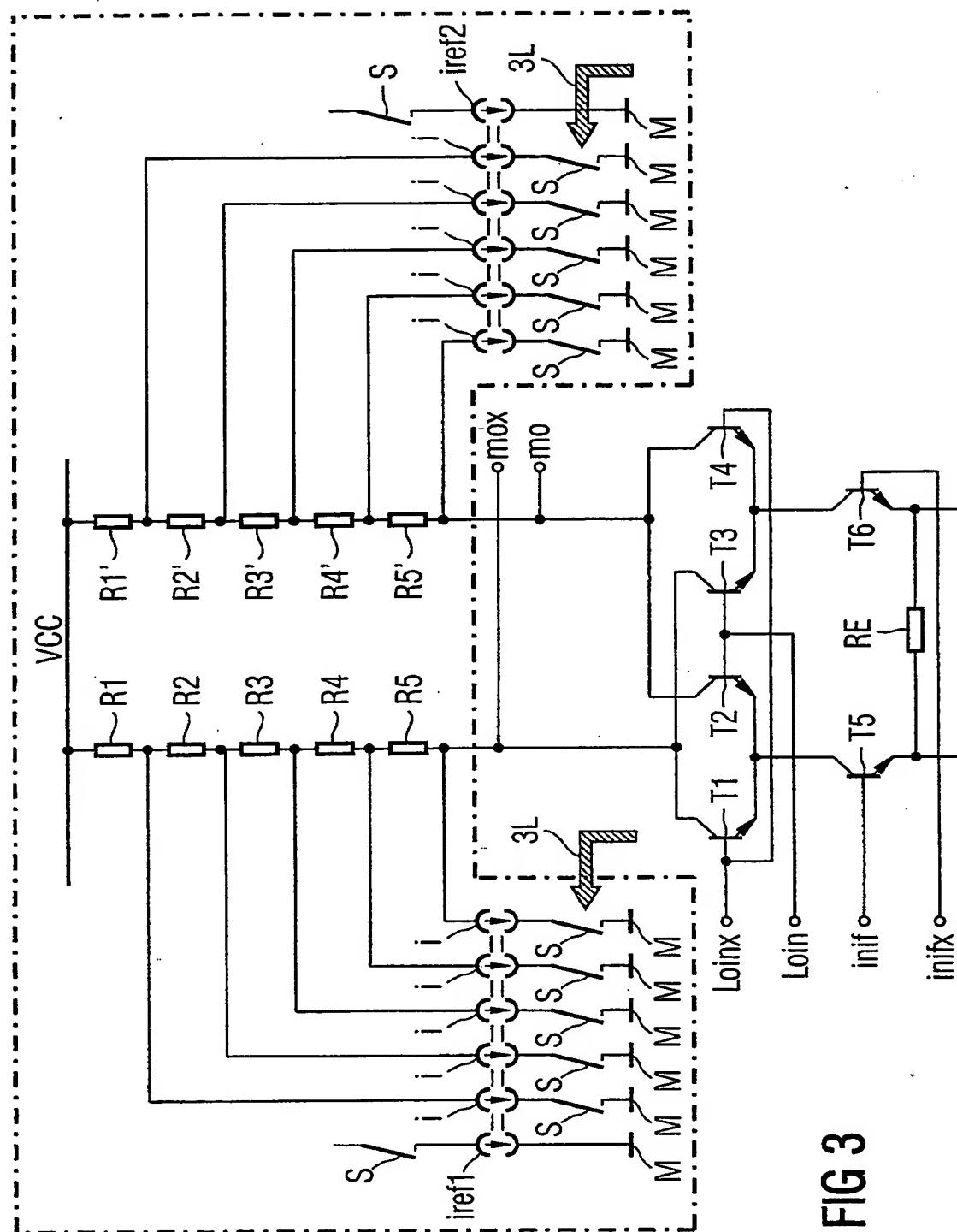


FIG 3

